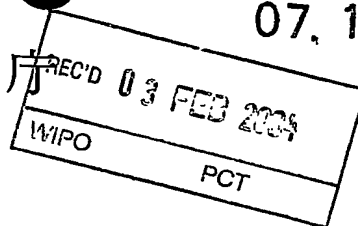


10 Rec'd PCT 07 JUL 2005

PCT/JP2004/000029

07.1.2004

日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 1月16日

出願番号
Application Number: 特願2003-007728
[ST. 10/C]: [JP2003-007728]

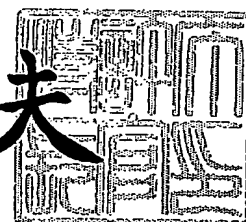
出願人
Applicant(s): 新電元工業株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年12月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3103452

【書類名】 特許願

【整理番号】 P0002168

【提出日】 平成15年 1月16日

【あて先】 特許庁長官 殿

【国際特許分類】 G05F 1/10

【発明者】

【住所又は居所】 埼玉県飯能市南町 1 0 番 1 3 号新電元工業株式会社工場
内

【氏名】 久保田 健一

【発明者】

【住所又は居所】 埼玉県飯能市南町 1 0 番 1 3 号新電元工業株式会社工場
内

【氏名】 大島 正樹

【発明者】

【住所又は居所】 埼玉県飯能市南町 1 0 番 1 3 号新電元工業株式会社工場
内

【氏名】 野崎 幸弘

【発明者】

【住所又は居所】 埼玉県飯能市南町 1 0 番 1 3 号新電元工業株式会社工場
内

【氏名】 芳賀 浩之

【発明者】

【住所又は居所】 埼玉県飯能市南町 1 0 番 1 3 号新電元工業株式会社工場
内

【氏名】 林 賢知

【特許出願人】

【識別番号】 000002037

【氏名又は名称】 新電元工業株式会社

【代表者】 高崎 泰明

【手数料の表示】

【予納台帳番号】 005061

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチング回路

【特許請求の範囲】

【請求項 1】 オン電圧が抵抗特性を示す MOSFET からなるメインスイッチを備え、このメインスイッチのゲート電極に駆動回路を接続してあるとともに、同じくメインスイッチのドレイン又はソースの一方の電極を固定電位に接続し、他方に負荷回路を接続してあるスイッチング回路であって、前記メインスイッチのオン抵抗より高い抵抗値を有する第一の抵抗素子と、この第一の抵抗素子をソース電極に接続した MOSFET からなる補助スイッチと、前記第一の抵抗素子に発生する電圧と前記メインスイッチのオン電圧とを比較増幅して、前記補助スイッチのゲート電極に出力する増幅器と、前記補助スイッチのドレイン電極に接続して、前記メインスイッチのオン電流を増幅させて電圧を発生させる第二の抵抗素子とを備えた電流検出回路を設けてあることを特徴とするスイッチング回路。

【請求項 2】 前記第一の抵抗素子の一方の端子を前記メインスイッチと同様に固定電位に接続してあることを特徴とする請求項 1 記載のスイッチング回路。

【請求項 3】 前記第一の抵抗素子と前記補助スイッチとの間に、ゲート信号が前記メインスイッチのゲート信号と同期する第三のスイッチを接続してあることを特徴とする請求項 1 又は 2 記載のスイッチング回路。

【請求項 4】 前記第三のスイッチのゲート電極と前記駆動回路との間に遅延回路を接続してあることを特徴とする請求項 3 記載のスイッチング回路。

【請求項 5】 前記第一の抵抗素子の一方の端子が前記メインスイッチの負荷回路と接続されている端子と接続され、第一の抵抗素子の他方の端子は前記補助スイッチのソース電極と接続された事を特徴とする請求項 1 記載のスイッチング回路。

【請求項 6】 前記第一の抵抗素子は前記メインスイッチと同じセル構造を持ち、固定ゲートバイアスされた MOSFET であることを特徴とする請求項 1 乃至 5 のいずれかに記載のスイッチング回路。

【請求項 7】 前記抵抗素子はポリシリコン抵抗であることを特徴とする請求項

1乃至5のいずれかに記載のスイッチング回路。

【請求項8】 前記第一の抵抗素子の温度係数を前記メインスイッチより大きい正の値を持つように、前記第一の抵抗素子を形成してあることを特徴とする請求項1乃至7のいずれかに記載のスイッチング回路。

【請求項9】 前記固定電位が入力電圧の正極であり、前記補助スイッチがpチャンネルMOSFETであることを特徴とする請求項1乃至8のいずれかに記載のスイッチング回路。

【請求項10】 前記固定電位が入力電圧の負極であり、前記補助スイッチがnチャンネルMOSFETであることを特徴とする請求項1乃至8のいずれかに記載のスイッチング回路。

【請求項11】 前記メインスイッチがオンの時に絶縁し、前記メインスイッチがオフの時に導通するスイッチ部材を前記負荷回路に設けてあることを特徴とする請求項1乃至10のいずれかに記載のスイッチング回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電力用スイッチのオン電圧を検出して、スイッチの電流を検出する回路に関するものである。

【0002】

【従来の技術】

電流検出回路を備えたスイッチング回路の第一の従来例を図10に示す。この従来例はオン電圧が抵抗特性を示すMOSFETからなるメインスイッチQ11を備え、このメインスイッチQ11のゲート電極に駆動回路2を接続してある。また、メインスイッチQ11のドレイン電極に固定電位3を接続し、ソース電極に負荷回路4を接続してある。このスイッチング回路に備えた電流検出回路は、電流検出用スイッチQ12を備え、この電流検出用スイッチQ12のドレイン電極を固定電位に接続し、ゲート電極に駆動回路2を接続してある。さらに、電流検出用スイッチQ12のソース電極に抵抗素子R11と増幅器Ampの正極とを接続し、メインスイッチQ11のソース電極に増幅器Ampの負極を接続し、抵

抗 R 1 1 の電圧を増幅する形で電流検出するように構成してある。

【0003】

また、第二の従来例を図 1 1 に示す（特許文献 1 参照）。この従来例はオン電圧が抵抗特性を示す MOS F E T からなるメインスイッチ Q 1 1 を備え、このメインスイッチ Q 1 1 のゲート電極に駆動回路 2 を接続してある。また、メインスイッチ Q 1 1 のドレイン電極に固定電位 3 を接続し、ソース電極に負荷回路 4 を接続してある。このスイッチング回路に備えた電流検出回路は、電流検出用スイッチ Q 1 2 を備え、この電流検出用スイッチ Q 1 2 のドレイン電極を固定電位に接続し、ゲート電極に駆動回路 2 を接続してある。さらに、電流検出用スイッチ Q 1 2 へ基準電流を流して、電流検出用スイッチ Q 1 2 のオン電圧とメインスイッチ Q 1 1 のオン電圧とを増幅器 A m p で比較増幅するようにしてある。

【0004】

【特許文献 1】

特公平 1-26250 号公報（第 2-4 頁、第 1 図）

【0005】

【発明が解決しようとする課題】

先ず、第一の従来例においては、抵抗素子 R 1 1 の電流がメインスイッチ Q 1 1 のオン電流に比例する為には、抵抗 R 1 1 の電圧が電流検出用スイッチ Q 1 2 のオン電圧の半分以下である必要がある。この為、制御回路に使用されるレベルまで波形を増幅するには、高利得の増幅器が必要となる。電流波形には高周波成分が含まれているので、高利得で高周波まで増幅する必要があり、実用上、困難な点となっていた。

【0006】

また、第二の従来例においては、電流検出用スイッチ Q 1 2 へ基準電流を流して、電流検出用スイッチ Q 1 2 のオン電圧とメインスイッチ Q 1 1 のオン電圧とを比較増幅するようにしていた為、出力される信号は実時間電流波形ではなく、一点の電流値に対する上か下かの判定結果となるという問題があった。

【0007】

本発明は、上記問題に鑑みてなされたものであり、高速な実時間波形の形で、

主スイッチ電流波形を検出し、大きな信号の形で、低インピーダンス出力で出力する電流検出回路を備えたスイッチング回路を安価に提供する。

【0008】

【課題を解決しようとする手段】

上記目的を達成するためになされた本発明は、増幅器の入力電圧差を略0Vに保ちながら、大きな電流波形出力を得られる電流検出回路を得る事ができる。また、第一の抵抗素子と補助スイッチとの間に、ゲート信号がメインスイッチのゲート信号と同期する第三のスイッチを接続したことにより、第二の抵抗素子の電圧波形とメインスイッチの電流波形とが相似になり、高速の電流波形を大きな電圧信号の形で取り扱うことができる。

【0009】

第一の抵抗素子をポリシリコン抵抗とし絶縁膜上に形成すれば、メインスイッチとの絶縁も簡単になり、高集積化が可能で、寄生容量等が小さく、より高速動作可能となる。第一の抵抗素子の温度係数をメインスイッチより大きい正の値を持つ様に第一の抵抗素子を形成すれば、第一の抵抗素子を用いた電流検出回路は、より強い熱暴走防止機能を持ち、スイッチング回路を簡単に提供する事が出来る。従って、多くの特長を備えた電流検出回路を容易に形成する事ができる。

【0010】

【発明の実施の形態】

以下、添付図面を用いて本発明に係るスイッチング回路の実施例を説明する。図1は本発明に係るスイッチング回路の第一実施例を示す。1は入力電源、2は負荷、3は固定電位、4は駆動回路、Qはスイッチ、Rは抵抗、Ampは増幅器である。

【0011】

本実施例に係るスイッチング回路は、オン電圧が抵抗特性を示すpチャネルMOSFETからなるメインスイッチQ1を備え、このメインスイッチQ1のゲート電極に駆動回路4を接続してある。また、メインスイッチQ1のソース電極に固定電位3を接続し、ドレイン電極に負荷回路2を接続してある。なお、固定電位3をメインスイッチQ1のドレイン電極に接続し、負荷回路2をメインスイッ

チQ1のソース電極に接続してあってもよい。このスイッチング回路は電流検出回路を備え、この電流検出回路は、メインスイッチQ1のオン抵抗より高い抵抗値（例えば10000倍）を有する第一の抵抗素子R1を備え、この第一の抵抗素子R1は固定電位3、または負荷回路2に接続してある。なお、第一の抵抗素子R1は通常の拡散抵抗でもよいが、ポリシリコン抵抗であるとよい。また、第一の抵抗素子R1の温度係数をメインスイッチQ1のオン抵抗と同じにすれば正確な電流検出回路を構成する。またこの電流検出回路を用いたスイッチング回路は、温度上昇と共に過電流検出点がより低電流側にシフトする様にも設定できる。

【0012】

電流検出回路はpチャネルMOSFETからなる補助スイッチQ2を備え、この第一の抵抗素子R1をソース電極に接続してある。また、電流検出回路は増幅器Ampを備えてある。この増幅器Ampは正極にメインスイッチQ1のドレイン電極を接続し、負極に補助スイッチQ2のソース電極並びに第一の抵抗素子R1に接続し、出力を補助スイッチQ2のゲート電極を接続してある。以上より、第一の抵抗素子R1に発生する電圧とメインスイッチQ1のオン電圧とを比較増幅して、補助スイッチQ2のゲート電極に出力するようにしてある。さらに、電流検出回路は第二の抵抗素子R2を備え、この第二の抵抗素子R2は、補助スイッチQ2のドレイン電極に接続して、メインスイッチQ1のオン電流を増幅させて電圧を発生させるように構成してある。

【0013】

電流検出回路を備えたスイッチング回路は以上のように構成し、以下のように作用する。メインスイッチQ1がオンすると、メインスイッチQ1はオン電圧を発生し、増幅器Ampでオン電圧を検出する。メインスイッチQ1がオンすることにより、固定電位3に接続した第一の抵抗素子R1に電圧が発生し、増幅器Ampでこの電圧を検出する。増幅器Ampで検出されたオン電圧と第一の抵抗素子R1に発生した電圧とを比較増幅して電圧を発生させ、補助スイッチQ2のゲート端子に出力する。即ちオン電流検出時は増幅器Ampの入力端の電位差は略0Vなので、2つの抵抗素子R1、R2、補助スイッチ素子Q2、並びに増幅器

Amp からなる電流検出回路は高利得化し易く、高速な信号まで増幅でき、メインスイッチQ1のオン電流の信号を低インピーダンス出力で供給できる。

【0014】

図2に第二実施例を示す。この実施例は概ね第一実施例と同様であるが、この実施例は、メインスイッチQ1がnチャネルMOSFETから構成してあることを特徴とする。この場合の電流検出も、第一実施例と同様に実行することができる。ただし、駆動回路4の出力電圧極性が第一実施例と異なり、第一実施例では、ソース電位に対し負のゲート電位でメインスイッチQ1が導通するが、本実施例ではソース電位に対し正のゲート電位でメインスイッチQ1が導通する。

【0015】

図3に第三実施例を示す。この実施例は、第一の抵抗素子R1に第三のスイッチQ3のソース端子を接続し、この第三のスイッチQ3のドレイン端子を補助スイッチQ2のソース端子に接続してある。また、この第三のスイッチQ3のゲート端子を駆動回路4に接続してあり、この第三のスイッチQ3のゲート信号がメインスイッチQ1のゲート信号と同期するように構成してある。即ち、本実施例ではメインスイッチQ1はpチャネルMOSFETであるので、第三のスイッチQ3もpチャネルMOSFETである。

【0016】

この第三実施例ではメインスイッチQ1のゲート信号と第三のスイッチQ3のゲート信号とが同期するように構成してあるため、メインスイッチQ1がオフ状態にあると、第三のスイッチQ3もオフし、メインスイッチQ1のオフ状態に第一の抵抗素子R1に大きな電流が流れる事を防止することができる。これにより、低消費電力な電流検出回路を実現している。なお、この第三実施例についての動作波形を次の図4に示す。

【0017】

図4は上から、メインスイッチQ1のゲートソース間電圧 V_{gs} 、メインスイッチQ1のドレインソース間電圧 V_{ds} 、メインスイッチQ1のドレインソース間電流 I_{ds} 、第二の抵抗素子R2に発生する電流信号出力である。第三実施例の場合、メインスイッチQ1はpチャネルMOSFETなので V_{gs} 、 V_{ds} 、並びに I_{ds}

波形は負電圧、負電流で動作している。メインスイッチQ1のターンオン時にピーク電流 I_{dsp} が発生しているのは、負荷に寄生容量成分が含まれた場合を想定している。第二の抵抗素子R2の電圧はメインスイッチQ1の電流の極性を反転したものに相似となる。尚、図3において t_{on} 、 t_{off} はターンオン、ターンオフ時の遅延時間であり、 t_1 、 t_2 は下降、立ち上がり時の時間である。

【0018】

なお、この実施例においても、メインスイッチQ1がnチャネルMOSFETであってもよい。但し、第三のスイッチQ3のゲート信号がメインスイッチQ1のゲート信号と同期するように構成するため、第三のスイッチQ3もnチャネルMOSFETにする場合が多い。この場合、駆動回路4の出力電圧極性は、ソース電位に対し正のゲート電位でメインスイッチQ1が導通する。

【0019】

図5に第四実施例を示す。この実施例では、第三実施例の構成に加え、第三のスイッチQ3のゲート電極と駆動回路4との間に遅延回路5を接続してある。また、この実施例では、第一の抵抗素子として、メインスイッチQ1と同じセル構造を持ち、固定ゲートバイアスされたMOSFETで構成された電流検出用スイッチQ4を用いている。なお、このMOSFETはメインスイッチQ1のオン抵抗より高い抵抗値（例えば10000倍）を有する。この電流検出用スイッチQ4のゲート電極にはロウレベルゲート電圧発生回路を接続してある。

【0020】

この実施例では、この第三のスイッチのゲート電極と駆動回路4との間に遅延回路5を接続したことにより、ハイサイドのメインスイッチQ1のターンオン時に、負荷回路2の中の寄生容量充電電流 I_{dsp} の成分が検出信号の中に波形として出る事を防ぐことができ、過電流保護回路の誤動作を防止する事ができる。なお、この場合、遅延時間は t_1 程度の値を用いるのが普通である。よって、遅延回路5は、Q3のターンオン時のみ t_1 程度遅れ、Q3のターンオフ時の遅れ時間は0となる様な特性である。

【0021】

また、第一の抵抗素子として、メインスイッチQ1と同じセル構造を持ち、メ

インスイッチQ1のオン抵抗より高い抵抗値を有し、固定ゲートバイアスされた電流検出用スイッチQ4を用いたことにより、この電流検出用スイッチQ4のオン抵抗はメインスイッチQ3と同一の温度特性、バラツキとなり、電流検出精度を向上させることが容易となる。その為、確度の高い電流検出回路を容易に実現できる。

【0022】

図6に第五実施例を示す。この実施例は逆向きの電流検出回路である。第一実施例から第四実施例までの電流検出回路は、電源3からメインスイッチQ1を通過して負荷回路2へ流れる方向の電流が正の値の時に前提にしていた。この第五実施例は負荷回路2からメインスイッチQ1を通過して入力電源1へ流れる方向の電流が正の値の時の電流検出回路である。増幅器AmpはQ1のソース・ドレイン間に正電圧が印加された時だけ補助スイッチQ2を導通させる様に動作する。その時メインスイッチQ1の逆電流波形が第二の抵抗素子R2に発生し、第二の抵抗素子R2の電圧波形を用いて逆電流検出が実行される。

【0023】

図7に第六実施例を示す。この実施例は、固定電位3が入力電圧の負極である場合の実施例である。このスイッチング回路は、オン電圧が抵抗特性を示すnチャネルMOSFETからなるメインスイッチQ1を備え、このメインスイッチQ1のゲート電極に駆動回路4を接続してある。また、メインスイッチQ1のソース電極を接地し、ドレイン電極に負荷回路2を接続してある。なお、メインスイッチQ1がpチャネルMOSの場合、メインスイッチQ1のドレイン電極を接地し、負荷回路2をメインスイッチQ1のソース電極に接続してあってもよい。このスイッチング回路は電流検出回路を備え、この電流検出回路は、メインスイッチQ1のオン抵抗より高い抵抗値（例えば10000倍）を有する第一の抵抗素子R1を備え、この第一の抵抗素子R1は接地してある。なお、第一の抵抗素子R1は通常の拡散抵抗でもよいが、ポリシリコン抵抗であるとよい。また、第一の抵抗素子R1の温度係数をメインスイッチQ1のオン抵抗と同じにすれば正確な電流検出回路を構成する。またこの電流検出回路を用いたスイッチング回路は、温度上昇と共に過電流検出点がより低電流側にシフトする様にも設定できる。

【0024】

電流検出回路は n チャネル MOSFET からなる補助スイッチ Q2 を備え、この第一の抵抗素子 R1 をソース電極に接続してある。また、電流検出回路は増幅器 Amp を備えてある。この増幅器 Amp は正極にメインスイッチ Q1 のドレイン電極を接続し、負極に補助スイッチ Q2 のソース電極並びに第一の抵抗素子 R1 に接続し、出力を補助スイッチ Q2 のゲート電極を接続してある。以上より、第一の抵抗素子 R1 に発生する電圧とメインスイッチ Q1 のオン電圧とを比較増幅して、補助スイッチ Q2 のゲート電極に出力するようにしてある。さらに、電流検出回路は第二の抵抗素子 R2 を備え、この第二の抵抗素子 R2 は、補助スイッチ Q2 のドレイン電極に接続して、メインスイッチ Q1 のオン電流を増幅させて電圧を発生させるように構成してある。

【0025】

また、本実施例の負荷回路は、p チャネル MOSFET からなるハイサイドスイッチ Q5 を備えてある。このハイサイドスイッチ Q5 のドレイン電極はメインスイッチのドレイン電極、増幅器 Amp の正極及び負荷に接続し、ソース電極は固定電位 3 に接続してある。また、ゲート電極は駆動回路 4 に接続してあり、メインスイッチ Q1 とハイサイドスイッチ Q5 で CMOS インバータに構成してある。電流検出回路を備えたスイッチング回路は以上のように構成してあるが、基本動作原理は第一実施例と略同様であり、極性のみが反転した動作となる。

【0026】

図 8 に第七実施例を示す。この実施例は、第四実施例において固定電位 3 が入力電圧の負極である場合に応用した実施例である。この実施例は、第一の抵抗素子に第三のスイッチ Q3 のソース端子を接続し、この第三のスイッチ Q3 のドレイン端子を補助スイッチ Q2 のソース端子に接続してある。なお、この実施例では、第一の抵抗素子として、メインスイッチ Q1 と同じセル構造を持ち、固定ゲートバイアスされた MOSFET で構成された電流検出用スイッチ Q4 を用いている。また、この MOSFET はメインスイッチ Q1 のオン抵抗より高い抵抗値（例えば 10000 倍）を有する。

【0027】

この第三のスイッチQ3のゲート端子は駆動回路4に接続してあり、この第三のスイッチQ3のゲート信号がメインスイッチQ1のゲート信号と同期するように構成してある。即ち、本実施例ではメインスイッチQ1はnチャネルMOSFETであるので、第三のスイッチQ3もnチャネルMOSFETである。この実施例では、第三のスイッチQ3のゲート電極と駆動回路4との間に遅延回路5を接続してある。この電流検出用スイッチQ4のゲート電極にはハイレベルゲート電圧発生回路を接続してある。

【0028】

この第七実施例ではメインスイッチQ1のゲート信号と第三のスイッチQ3のゲート信号とが同期するように構成してあるため、メインスイッチQ1がオフ状態にあると、第三のスイッチQ3もオフし、メインスイッチQ1のオフ状態に電流検出用スイッチQ4に大きな電流が流れる事を防止することができる。これにより、低消費電力な電流検出回路を実現している。また、この第三のスイッチのゲート電極と駆動回路4との間に遅延回路5を接続したことにより、ターンオン時のみ遅らせる様にできれば、ロウサイドのメインスイッチQ1のターンオン時に、負荷回路2の中の寄生容量充電電流 I_{dsp} の成分が検出信号の中に波形として出る事を防ぐことができ、過電流保護回路の誤動作を防止する事ができる。

【0029】

さらに、第一の抵抗素子として、メインスイッチQ1と同じセル構造を持ち、メインスイッチQ1のオン抵抗より高い抵抗値を有し、固定ゲートバイアスされた電流検出用スイッチQ4を用いたことにより、この電流検出用スイッチQ4のオン抵抗はメインスイッチQ3と同一の温度特性、バラツキとなり、電流検出精度を向上させることが容易となる。その為、第四実施例と同様に確度の高い電流検出回路を容易に実現できる。

【0030】

図9に第八実施例を示す。この実施例は逆向きの電流検出回路で、第五実施例において固定電位3が入力電圧の負極である場合に応用した実施例である。第六実施例、第七実施例の電流検出回路は、負荷回路2からメインスイッチQ1を通過して入力電圧の負極へ流れる方向の電流が正の値の時を前提にしていた。図9は

入力電圧の負極からメインスイッチQ1を通して負荷回路2へ流れる方向の電流が正の値の時の電流検出回路である。増幅器AmpはメインスイッチQ1のソース・ドレイン間に負電圧が印加された時だけ補助スイッチQ2を導通させる様に動作する。その時メインスイッチQ1の逆電流波形が第二の抵抗素子R2に発生し、第二の抵抗素子R2の電圧波形を用いて逆電流検出が実行される。

【0031】

【発明の効果】

本発明によれば、増幅器の入力電圧差を略0Vに保ちながら、大きな電流波形出力を得られる電流検出回路を得られる効果がある。また、第一の抵抗素子と補助スイッチとの間に、ゲート信号がメインスイッチのゲート信号と同期する第三のスイッチを接続したことにより、第二の抵抗素子の電圧波形とメインスイッチの電流波形とが相似になり、高速の電流波形を大きな電圧信号の形で取り扱うことができる効果がある。

【0032】

第一の抵抗素子をポリシリコン抵抗とし絶縁膜上に形成すれば、メインスイッチとの絶縁も簡単になり、高集積化が可能で、寄生容量等が小さく、より高速動作可能となる。第一の抵抗素子の温度係数をメインスイッチより大きい正の値を持つ様に第一の抵抗素子を形成すれば、第一の抵抗素子を用いた電流検出回路は、より強い熱暴走防止機能を持ち、スイッチング回路を簡単に提供する事が出来る。従って、多くの特長を備えた電流検出回路を容易に形成できる効果がある。

【図面の簡単な説明】

【図1】 本発明に係るスイッチング回路の第一実施例の概要を示した回路図である。

【図2】 同じく第二実施例の概要を示した回路図である。

【図3】 同じく第三実施例の概要を示した回路図である。

【図4】 第三実施例の動作波形図である。

【図5】 同じく第四実施例の概要を示した回路図である。

【図6】 同じく第五実施例の概要を示した回路図である。

【図7】 同じく第六実施例の概要を示した回路図である。

【図 8】 同じく第七実施例の概要を示した回路図である。

【図 9】 同じく第八実施例の概要を示した回路図である。

【図 10】 スイッチング回路の第一の従来例の概要を示した回路図である。

【図 11】 第二の従来例の概要を示した回路図である。

【符号の説明】

Q 1, Q 1 1 メインスイッチ

Q 2 補助スイッチ

Q 3 第三のスイッチ

Q 4, Q 1 2 電流検出用スイッチ

Q 5 ハイサイドスイッチ

R 1, R 2, R 1 1 抵抗

A m p 増幅器

1 入力電源

2 負荷回路

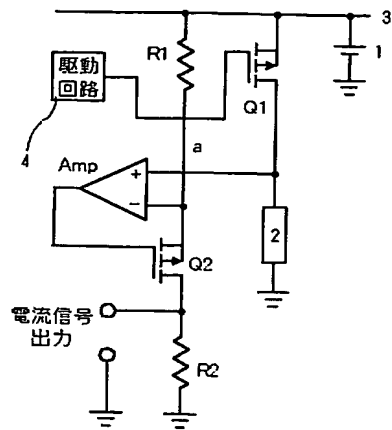
3 固定電位

4 駆動回路

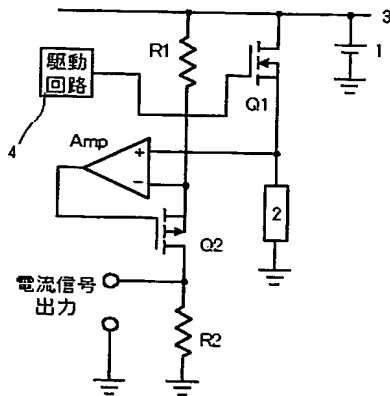
5 遅延回路

【書類名】 図面

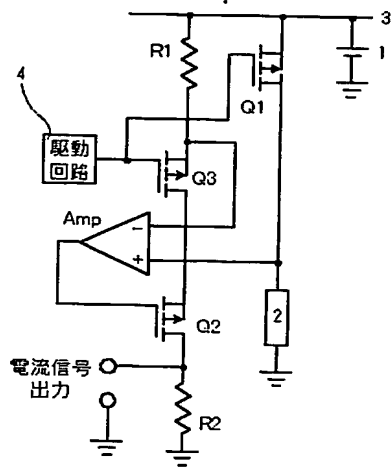
【図 1】



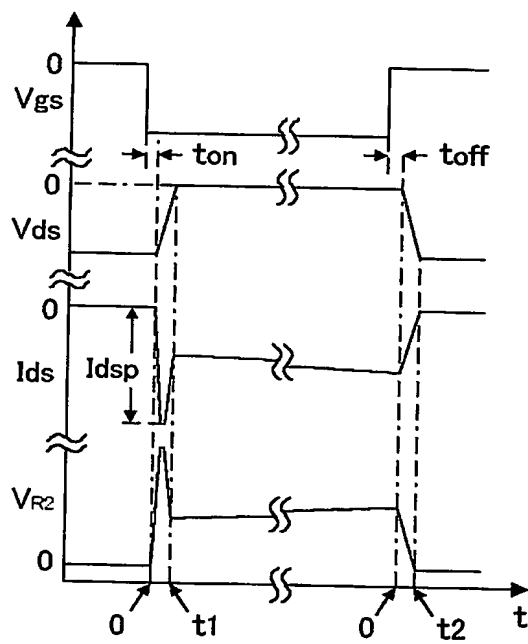
【図 2】



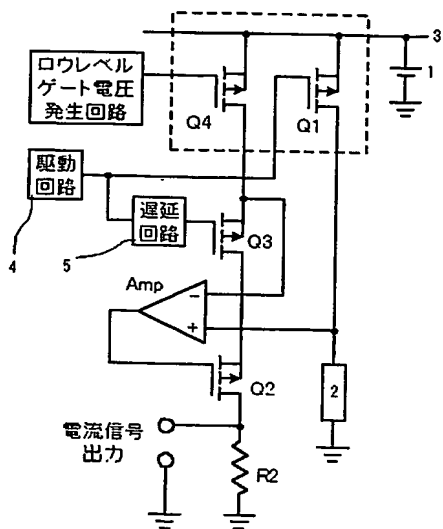
【図 3】



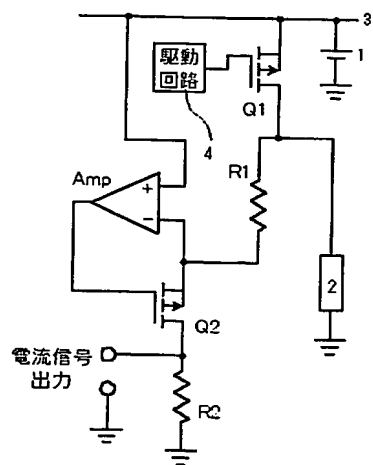
【図 4】



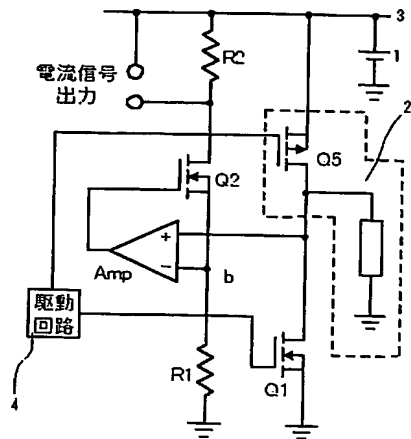
【図 5】



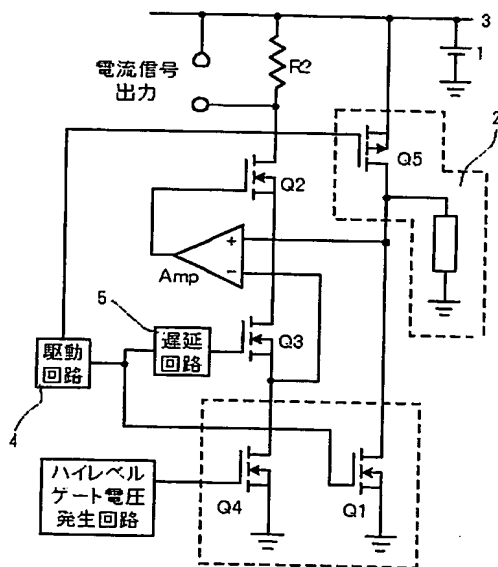
【図 6】



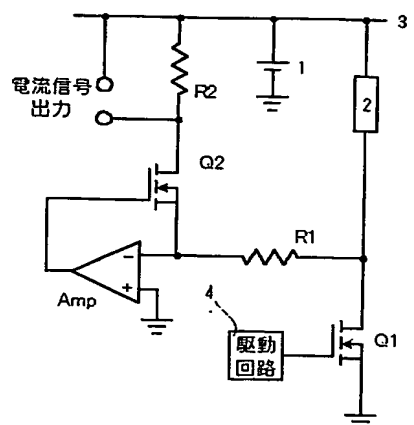
【図 7】



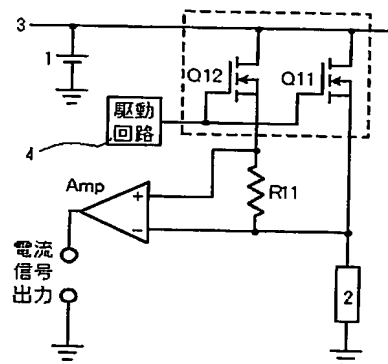
【図 8】



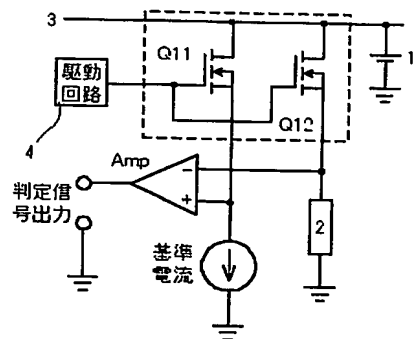
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【課題】 高速な実時間波形の形で主スイッチ電流波形を検出し、低インピーダンスで出力する電流検出回路を備えたスイッチング回路を提供する。

【解決手段】 オン電圧が抵抗特性を示すメインスイッチQ1を備え、このメインスイッチQ1のゲートに駆動回路4を、ドレイン又はソースの一方に固定電位3を、この他方に負荷回路2を夫々接続してあるスイッチング回路であって、固定電位3に接続したメインスイッチQ1のオン抵抗より高い抵抗値を有する第一の抵抗素子R1と、この抵抗素子R1をソースに接続した補助スイッチQ2と、第一の抵抗素子R1に発生する電圧とメインスイッチQ1のオン電圧とを比較増幅して、補助スイッチQ2のゲートに出力する増幅器Ampと、補助スイッチQ1のドレインに接続してメインスイッチQ1のオン電流を増幅させて電圧を発生させる第二の抵抗素子R2とを備えた電流検出回路を設けたことを特徴とするスイッチング回路。

【選択図】 図1

特願 2003-007728

出 願 人 履 歴 情 報

識別番号

[000002037]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

東京都千代田区大手町2丁目2番1号

氏 名

新電元工業株式会社